

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 8 月 3 0 日
Date of Application:

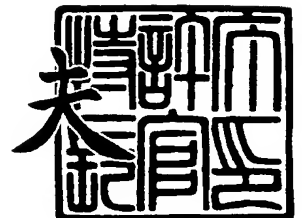
出 願 番 号 特 願 2 0 0 2 - 2 5 3 9 5 6
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 5 3 9 5 6]

出 願 人 三 洋 電 機 株 式 有 限 公 司
Applicant(s):

2 0 0 3 年 9 月 3 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 KFA1020005

【提出日】 平成14年 8月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H04N 1/393

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

【氏名】 千田 和則

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代理人】

【識別番号】 100071283

【弁理士】

【氏名又は名称】 一色 健輔

【選任した代理人】

【識別番号】 100084906

【弁理士】

【氏名又は名称】 原島 典孝

【選任した代理人】

【識別番号】 100098523

【弁理士】

【氏名又は名称】 黒川 恵

【手数料の表示】

【予納台帳番号】 011785

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 映像信号処理装置、および集積回路

【特許請求の範囲】

【請求項 1】 入力される映像信号データをライン単位で順次書き込むための複数のラインメモリと、前記複数のラインメモリへの映像信号データの書き込みタイミング、および、前記複数のラインメモリからの映像信号データの読み出しタイミングを制御するタイミング制御手段と、前記複数のラインメモリから読み出された映像信号データを演算処理することによって、水平方向の画素数および垂直方向のライン数で定まる解像度が異なる映像信号データを出力する演算出力手段と、を有する映像信号処理装置において、

映像信号データの解像度の変換率に応じて、前記演算出力手段から得られる映像信号データの所定ラインの画素数を可変とするライン制御手段を、

備えたことを特徴とする映像信号処理装置。

【請求項 2】 前記ライン制御手段は、

入力される映像信号データの所定ライン数の経過期間、および、前記演算出力手段から得られる映像信号データの前記所定ライン数と対応するライン数に基づいて、前記演算出力手段から得られる映像信号データの水平方向の基準画素数を決定する基準画素数決定部と、

映像信号データの解像度の変換率に応じて、前記演算出力手段から得られる映像信号データの所定ラインの画素数を前記基準画素数から変更する画素数可変部と、

を有することを特徴とする請求項 1 記載の映像信号処理装置。

【請求項 3】 前記ライン制御手段は、

入力される映像信号データの所定ライン数の経過期間、および、前記演算出力手段から得られる映像信号データの前記所定ライン数と対応するライン数の経過期間の差を所定期間未満として、前記演算出力手段から得られる映像信号データの水平方向の基準画素数を決定する基準画素数決定部と、

前記所定期間を順次計数する計数部と、

前記計数部の計数値が前記差以下の範囲であるとき、前記演算出力手段から得

られる映像信号データの水平方向の画素数を前記基準画素数から変更する画素数可変部と、

を有することを特徴とする請求項 1 または 2 記載の映像信号処理装置。

【請求項 4】 前記基準画素数決定部は、入力される映像信号データの垂直帰線期間において前記基準画素数を決定し、その後、前記画素数可変部は、前記演算出力手段から得るべき映像信号データに対して前記基準画素数を使用することを特徴とする請求項 2 または 3 記載の映像信号処理装置。

【請求項 5】 前記複数のラインメモリは、少なくとも 3 個からなり、1 個のラインメモリへの映像信号データの書き込み中に、他のラインメモリからの映像信号データの読み出しを行うことを特徴とする請求項 1 乃至 4 の何れかに記載の映像信号処理装置。

【請求項 6】 請求項 1 乃至 5 の何れかに記載の映像信号処理装置を有することを特徴とする集積回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、入力される映像信号データとは解像度が異なる映像信号データを出力するための映像信号処理装置、および集積回路に関する。

【0 0 0 2】

【従来の技術】

映像信号データは、水平方向の画素数および垂直方向のライン数から定まる解像度を有しており、この映像信号データの解像度は、映像機器（例えば、テレビ受像機、液晶またはパソコン等のモニター）に応じて異なるものである。そのため、入力される映像信号データとは解像度が異なる映像信号データを必要とする映像機器では、入力される映像信号データの解像度を適宜変換するための機能が内蔵されている。

【0 0 0 3】

入力される映像信号データの解像度を適宜変換するための機能は、フィールドメモリまたは複数のラインメモリの何れかを使用することによって実現可能であ

る。

【0004】

フィールドメモリを使用する手法とは、フィールドメモリへ1画面分の映像信号データをそのままのタイミングで書き込み、フィールドメモリから1画面分の映像信号データを書き込み時とは異なるタイミングで読み出し、1画面分の映像信号データのライン数を適宜増減するための演算処理を行うことにより、解像度を変換するものである。しかし、この手法では、フィールドメモリが1画面分の映像信号データをまとめて記憶しなければならないため、大容量のメモリが必要となるので、映像信号処理装置が大型化およびコストアップすることになる。

【0005】

一方、複数のラインメモリを使用する手法とは、複数のラインメモリへ1ライン毎の映像信号データをそのままのタイミングで順次書き込み、複数のラインメモリから1ライン毎の映像信号データを書き込み時とは異なるタイミングで読み出し、映像信号データのライン数を適宜増減するための演算処理を順次行うことにより、解像度を変換するものである。しかし、この手法では、各ラインメモリの書き込みと読み出しのための水平周波数が異なり、且つ、各ラインメモリの書き込みと読み出しのための最大時間差も数ライン分しかない。従って、各ラインメモリの書き込みと読み出しのためのタイミング制御は、相応の精度が要求されて複雑となる。例えば、各ラインメモリの書き込みと読み出しのためのタイミングが僅かにずれて、各ラインメモリでの書き込みと読み出しが逆転すると、画面上の画像は連続性が失われて乱れることになる。

【0006】

そこで、各ラインメモリでの書き込みと読み出しが逆転するのを防止するため、以下の従来技術が提案されている。

【0007】

《従来技術1》

入力側での映像信号データの水平周期を出力側での映像信号データの読み出しクロックで計数し、この計数値および映像信号データの垂直方向の解像度の変換率を所定演算して、出力側での映像信号データの水平方向の画素数を求める方法

。この方法は、出力側での映像信号データの水平方向の画素数を、入力側での映像信号データの水平方向の画素数と一義的な関係とすることで、ラインメモリでの書き込みと読み出しが逆転することを防止するものである。

【0008】

《従来技術2》

出力側での映像信号データの水平方向の画素数を固定するとともに、入力側での映像信号データの水平周波数を基準とするPLL（Phase Locked Loop）を構成し、映像信号データの垂直方向の解像度の変換率に基づいて、出力側での映像信号データの読み出しクロックを求める方法。この方法は、入力側での映像信号データの水平周波数を、出力側での映像信号データの読み出しクロックと同期させることで、ラインメモリでの書き込みと読み出しが逆転することを防止するものである。

【0009】

《従来技術3》

従来技術2において、入力側での映像信号データの水平周波数を垂直周波数に置き換える方法。この方法は、入力側での映像信号データの垂直周波数を出力側での映像信号データの読み出しクロックと同期させ、即ち、入力側での映像信号データの水平周波数を出力側での映像信号データの読み出しクロックと実質同期させることで、ラインメモリでの書き込みと読み出しが逆転することを防止するものである。

【0010】

【発明が解決しようとする課題】

しかしながら、従来技術1では、入力側での映像信号データの水平周波数と出力側での映像信号データの読み出しクロックとが同期していないため、出力側での映像信号データの水平方向の画素数が誤差を有して、ラインメモリでの書き込みと読み出しが逆転する可能性がある。

【0011】

従来技術2では、入力側での映像信号データの水平周波数がないと、PLLが動作しないため、出力側での映像信号データの読み出しクロックを得ることがで

きない。そこで、入力側での映像信号データが存在しないとき、水平周波数と同等の疑似周波数を PLL に供給するための手段を設けなければならないので、映像信号処理装置のための制御が複雑となる可能性がある。また、PLL が高価であるため、映像信号処理装置がコストアップする。

【0012】

従来技術 3 では、入力側での映像信号データの垂直周波数が PLL の基準周波数としては低いため、PLL 自体を構成し難くなる可能性がある。その他は、従来技術 2 と同様の問題を有する。

【0013】

【課題を解決するための手段】

前記課題を解決するための主たる発明は、入力される映像信号データをライン単位で順次書き込むための複数のラインメモリと、前記複数のラインメモリへの映像信号データの書き込みタイミング、および、前記複数のラインメモリからの映像信号データの読み出しタイミングを制御するタイミング制御手段と、前記複数のラインメモリから読み出された映像信号データを演算処理することによって、水平方向の画素数および垂直方向のライン数で定まる解像度が異なる映像信号データを出力する演算出力手段と、を有する映像信号処理装置において、映像信号データの解像度の変換率に応じて、前記演算出力手段から得られる映像信号データの所定ラインの画素数を可変とするライン制御手段を、備えたことを特徴とする映像信号処理装置である。

【0014】

本発明の上記以外の特徴とするところは、本明細書および添付図面の記載により明らかとなる。

【0015】

【発明の実施の形態】

=== 開示の概要 ===

本明細書および添付図面の記載により、少なくとも以下の事項が明らかとなる。

。

【0016】

入力される映像信号データをライン単位で順次書き込むための複数のラインメモリと、前記複数のラインメモリへの映像信号データの書き込みタイミング、および、前記複数のラインメモリからの映像信号データの読み出しタイミングを制御するタイミング制御手段と、前記複数のラインメモリから読み出された映像信号データを演算処理することによって、水平方向の画素数および垂直方向のライン数で定まる解像度が異なる映像信号データを出力する演算出力手段と、を有する映像信号処理装置において、映像信号データの解像度の変換率に応じて、前記演算出力手段から得られる映像信号データの所定ラインの画素数を可変とするライン制御手段を、備えたことを特徴とする映像信号処理装置。

【0017】

前記映像信号処理装置によれば、映像信号データの解像度の変換率に応じて、演算出力手段から得られる映像信号データの所定ラインの画素数を可変とすることとしたので、複数のラインメモリでの書き込みと読み出しが予め定められた順序で実行され、画面上での画像の乱れを効果的に防止することが可能となる。

【0018】

また、前記ライン制御手段は、入力される映像信号データの所定ライン数の経過期間、および、前記演算出力手段から得られる映像信号データの前記所定ライン数と対応するライン数に基づいて、前記演算出力手段から得られる映像信号データの水平方向の基準画素数を決定する基準画素数決定部と、映像信号データの解像度の変換率に応じて、前記演算出力手段から得られる映像信号データの所定ラインの画素数を前記基準画素数から変更する画素数可変部と、を有することとする。

【0019】

また、前記ライン制御手段は、入力される映像信号データの所定ライン数の経過期間、および、前記演算出力手段から得られる映像信号データの前記所定ライン数と対応するライン数の経過期間の差を所定期間未満として、前記演算出力手段から得られる映像信号データの水平方向の基準画素数を決定する基準画素数決定部と、前記所定期間を順次計数する計数部と、前記計数部の計数値が前記差以下の範囲であるとき、前記演算出力手段から得られる映像信号データの水平方向

の画素数を前記基準画素数から変更する画素数可変部と、を有することとしてもよい。

【0020】

これらによれば、映像信号データの解像度の変換率に応じて、演算出力手段から得られる映像信号データの水平方向の基準画素数を最適値として求め、この基準画素数を用いて、この映像信号データの所定ラインの画素数を可変とすることとしたので、複数のラインメモリでの書き込みと読み出しが予め定められた順序で効果的に実行される。

【0021】

また、前記基準画素数決定部は、入力される映像信号データの垂直帰線期間において前記基準画素数を決定し、その後、前記画素数可変部は、前記演算出力手段から得るべき映像信号データに対して、前記基準画素数を使用することとする。

これによれば、入力される映像信号データの帰線期間で基準画素数を求めるので、演算出力手段から解像度変換後の映像信号データを速やかに得ることが可能となる。

【0022】

更に、前記複数のラインメモリは、少なくとも3個からなり、1個のラインメモリへの映像信号データの書き込み中に、他のラインメモリからの映像信号データの読み出しを行うものである。

これによれば、最小限のラインメモリを用いて、演算出力手段から解像度変換後の映像信号データを得ることが可能となる。

【0023】

===映像信号処理装置の全体構成===

図1を参照しつつ、本発明の映像信号処理装置の全体構成について説明する。図1は、本発明の映像信号処理装置の全体構成を示すブロック図である。なお、本発明の映像信号処理装置における入出力の対象となる映像信号データは、水平方向では所定の画素数が連続して1ラインを構成するとともに、垂直方向では所定のライン数が連続するデジタルデータである。また、1ラインを構成する画素

データは、RGB表色系のドットデータである。

【0024】

図1において、ラインメモリ2、4、6（複数のラインメモリ）は、ライン単位の映像信号データが順次繰り返し書き込まれ、且つ、ライン単位の映像信号データが予め定められた順序で読み出されるものである。ラインメモリ2、4、6は、書き込み状態となるためのライトイネーブル端子WEと、読み出し状態となるためのアウトプットイネーブル端子OEとを有している。なお、ラインメモリ2、4、6のハードウェアとしては、データの随時書き込み読み出しを可能とする記憶素子（例えばDRAM）を適用することが望ましい。

【0025】

書き込み制御部8は、ラインメモリ2、4、6への映像信号データの書き込みタイミングを制御するものである。書き込み制御部8には、入力される映像信号データの画素周期に同期する入力クロックCK1、入力される映像信号データの水平同期信号HS1、入力される映像信号データの垂直同期信号に対応する書き込みを開始するための信号VS1が供給される。そして、書き込み制御部8は、入力クロックCK1、水平同期信号HS1、信号VS1に応じて、ラインメモリ2、4、6を書き込み状態とするためのライトイネーブル信号をラインメモリ2、4、6のライトイネーブル端子WEに順次繰り返し供給する。これにより、ラインメモリ2、4、6には、ライン単位の映像信号データが順次繰り返し書き込まれることとなる。なお、入力クロックCK1は、自走発振または他走発振の何れから得るものであってもよい。

【0026】

読み出し制御部10は、ラインメモリ2、4、6からの映像信号データの読み出しタイミングを制御するものである。読み出し制御部10には、出力すべき映像信号データの画素周期に同期する出力クロックCK2、出力すべき映像信号データの水平同期信号HS2、入力される映像信号データに対する出力すべき映像信号データの解像度の変換率設定値が供給される。更に、読み出し制御部10には、書き込み制御部8から読み出しを開始するための信号VS2が供給される。そして、読み出し制御部10は、出力クロックCK2、水平同期信号HS2、解

像度の変換率設定値、信号VS2に応じて、ラインメモリ2、4、6を読み出し状態とするためのアウトプットイネーブル信号をラインメモリ2、4、6のアウトプットイネーブル端子OEに適宜供給する。これにより、ラインメモリ2、4、6からは、ライン単位の映像信号データが解像度の変換率に応じた順序で読み出されることとなる。なお、出力クロックCK2は、自走発振または他走発振の何れから得るものであってもよい。書き込み制御部8および読み出し制御部10は、請求項のタイミング制御手段に相当する。

【0027】

マルチプレクサ12、14は、ラインメモリ2、4、6から読み出された映像信号データが全て供給され、読み出し制御部10から出力される解像度の変換率に応じた切り換え信号によって、適宜の映像信号データを出力するものである。

【0028】

係数発生部16は、読み出し制御部10から出力される解像度の変換率に応じた信号によって、入力される映像信号データを所定の解像度に変換するための変換係数を発生するものである。

【0029】

演算出力部18は、マルチプレクサ12、14から出力された映像信号データが供給され、係数発生部16から得られる変換係数を使用してライン数を補間する等の演算処理を適宜行うものである。これにより、演算出力部18からは、解像度変換された映像信号データ、即ち、水平方向および垂直方向ともに解像度の変換率に応じた画素数およびライン数を有する映像信号データが出力されることとなる。なお、マルチプレクサ12、14、係数発生部16および演算出力部18は、請求項の演算出力手段を構成する。

【0030】

カウンタ20は、入力される映像信号データの垂直同期信号に対応する信号VS1でリセットされ、入力される映像信号データのライン数 N_{in} 分の水平同期信号HS1の経過期間を、出力すべき映像信号データの画素周期に同期する出力クロックCK2で計数するものである。

【0031】

演算部 22 は、カウンタ 20 の計数値が供給され、ラインメモリ 2、4、6 の書き込みと読み出しの逆転を防止するための、本発明の特徴となる演算処理を実行するものである。

【0032】

演算部 22 は、予め用意されている演算式『 $H_{indot} * N_{in} - H_{outdot} * 256$ 』が 256 以下の正の整数値となるような『 H_{outdot} 』を決定する。なお、『 $H_{indot} * N_{in}$ 』は、カウンタ 20 の計数値であり、 N_{in} ライン数の映像信号データが入力されたときの経過期間を示す。また、『 H_{outdot} 』は、出力される映像信号データの水平方向の基準画素数を示し、『256』は、出力される映像信号データの N_{in} ライン数と対応する解像度変換後の固定ライン数を示し、『 $H_{outdot} * 256$ 』は、256 ライン数の映像信号データが出力されたときの経過期間を示す。これにより、『 $H_{indot} * N_{in} - H_{outdot} * 256$ 』は、 N_{in} ライン数の入力映像信号データおよび 256 ライン数の出力映像信号データの経過期間の差を示すこととなる。出力される映像信号データの固定ライン数は、『256』に限定されるものではなく、出力すべき映像信号データの垂直方向の全ライン数に応じて適宜決定すればよい。また、『 $H_{indot} * N_{in}$ 』は、出力クロック CK2 で計数するものであるため、『 $H_{indot} * N_{in} - H_{outdot} * 256$ 』は、ゼロとなることが望ましい。しかし、『 $H_{indot} * N_{in} - H_{outdot} * 256$ 』をゼロとする『 H_{outdot} 』は、解像度の変換率によっては存在しない可能性がある。そこで、演算部 22 は、上記演算を行う。なお、演算部 22 は、請求項の基準画素数決定部を構成する。

【0033】

ラインカウンタ 24 は、読み出しを開始するための信号 VS2、即ち、出力すべき映像信号データの垂直同期信号でリセットされ、出力すべき映像信号データの水平同期信号 HS2 を 256 周期で繰り返し計数するものである。なお、ラインカウンタ 24 は、請求項の計数部を構成する。

【0034】

比較部 26 は、演算部 22 から得られる『 $H_{indot} * N_{in} - H_{outd}$

out * 256』とラインカウンタ 24 の計数值とを比較する。そして、比較部 26 は、ラインカウンタ 24 の計数值が『Hindot * Nin - Houtdot * 256』以下の範囲であるとき、出力される映像信号データのラインカウンタ 24 の計数值と等しいラインの画素数を『基準画素数 + 1』とするための制御信号を演算出力部 18 に供給する。一方、比較部 26 は、ラインカウンタ 24 の計数值が『Hindot * Nin - Houtdot * 256』を超えたとき、出力される映像信号データのラインカウンタ 24 の計数值と等しいラインの画素数を『基準画素数のまま』とするための制御信号を演算出力部 18 に供給する。なお、演算出力部 18 および比較部 26 は、請求項の画素数可変部を構成する。

【0035】

===映像信号処理装置の動作===

次に、図 2、図 3、図 4 を参照しつつ、本発明の映像信号処理装置の動作について説明する。図 2 は、本発明の映像信号処理装置における複数のラインメモリの書き込みと読み出しの関係を説明するためのタイムチャートである。特に、『解像度の変換率 > 1』は、出力すべき映像信号データのライン数が入力される映像信号データのライン数より増加する場合のタイムチャートである。また、『解像度の変換率 < 1』は、出力すべき映像信号データのライン数が入力される映像信号データのライン数より減少する場合のタイムチャートである。なお、入出力される 1 画面分の映像信号データの垂直周波数は同一である。図 3 は、本発明の映像信号処理装置における複数のラインメモリの書き込みと読み出しの逆転防止を説明するためのフローチャートである。図 4 は、本発明の映像信号処理装置における複数のラインメモリの書き込みと読み出しの逆転防止を理解するための図であり、横軸はライン数を示し、縦軸は時間を示している。

【0036】

＜書き込み制御＞

書き込み制御部 8 には、入力クロック CK1、水平同期信号 HS1、垂直同期信号に対応する信号 VS1 が供給される。なお、水平同期信号 HS1 は、入力される映像信号データの各ラインの開始位置でローレベルとなるパルスである。信号 VS1 は、入力される映像信号データの 1 ラインの開始位置から当該フィールド

ドの有効ラインの終了位置まで、水平同期信号HS1に同期してハイレベルとなる信号である。書き込み制御部8は、信号VS1がハイレベルを保持する期間において、水平同期信号HS1が発生するタイミングで、ラインメモリ2、4、6を順次繰り返し書き込み状態とするためのライトイネーブル信号を出力する。これにより、ラインメモリ2、4、6は、書き込み制御部8からのライトイネーブル信号がライトイネーブル端子WEに供給され、入力される映像信号データを構成する各ラインのデータを入力クロックCK1に同期して順次繰り返し書き込む。具体的には、ラインメモリ2、4、6は、当該ラインメモリの個数と同一数の3ラインを周期として書き込みを行うものである。即ち、ラインメモリ2、4、6は、入力される映像信号データを構成する $3N+1$ ライン、 $3N+2$ ライン、 $3N+3$ ライン($N=0$)のデータを書き込む。

【0037】

そして、書き込み制御部8は、入力される映像信号データの各フィールドにおいて、3番目の水平同期信号HS1に同期して、信号VS2をハイレベルとして読み出し制御部10に供給する。これは、ラインメモリ2、4が最初の書き込みを終了しており、ラインメモリ2、4の書き込みデータを用いることで、解像度の変換率に応じた出力側の映像信号データのラインを生成開始可能となるからである。

【0038】

《読み出し制御》

読み出し制御部10は、解像度の変換率に対応する出力クロックCK2および水平同期信号HS2と、信号VS2とが供給される。なお、水平同期信号HS2は、出力される映像信号データの各ラインの開始位置でローレベルとなるパルスである。また、読み出し制御部10は、信号VS2がハイレベルへ変化した直後の水平同期信号HS2に同期してハイレベルとなる信号VS2'を生成する。読み出し制御部10は、信号VS2'がハイレベルを保持する期間において、水平同期信号HS2が発生するタイミングで、書き込みを行っていないラインメモリを同時または選択的に読み出し状態とするためのアウトプットイネーブル信号を出力する。これにより、書き込みを行っていないラインメモリは、出力される映

像信号データの基となるラインデータを入力クロックCK2に同期して同時または選択的に読み出す。詳述すると、解像度の変換率が1より大きい場合、1個のラインメモリが書き込みを行っている期間において、他の2個のラインメモリは、出力される映像信号データの基となるラインデータの同時読み出しを繰り返すこととなる。一方、解像度の変換率が1より小さい場合、2個のラインメモリが書き込みを行っている連続期間にまたがって、他の1個のラインメモリは、出力される映像信号データの基となるラインデータを読み出すこととなる。

【0039】

ラインメモリ2、4、6からの映像信号データは、マルチプレクサ12、14を介して演算出力部18に供給される。

演算出力部18では、マルチプレクサ12、14から供給される映像信号データに対して、係数発生部16から得られる変換係数を使用してライン数を補間する等の演算処理を適宜行う。

【0040】

例えば、解像度の変換率が2の場合、1個のラインメモリ（例えばラインメモリ6）が書き込みを行っている期間において、他の2個のラインメモリ（例えばラインメモリ2、4）は、出力される映像信号データの基となるラインデータの同時読み出しを2回繰り返す。係数発生部16から得られる変換係数は、他の2個のラインメモリがラインデータの同時読み出しを2回繰り返す前半と後半で、 $(1, 0)$ 、 $(0.5, 0.5)$ の重み付けに設定される。即ち、演算出力部18からは、上記前半は一方のラインデータがそのまま出力され、上記後半は双方のラインデータの平均が出力される。これにより、入力される映像信号データの1ラインに対して、出力される映像信号データの2ラインを生成可能となる。

【0041】

なお、出力される映像信号データの水平方向の画素数は、解像度の変換率に応じて、入力される映像信号データの水平方向の所定画素を所定回数繰り返すか間引くことで、変更可能となる。

【0042】

《ラインメモリの書き込みと読み出しの逆転防止制御》

ラインメモリ 2、4、6 の書き込みと読み出しが逆転するのを防止するため、図 3 のフローチャートに示す制御を行っている。なお、説明の便宜上、1 画面において、入力される映像信号データのライン数は 480、出力される映像信号データのライン数は 768（入力される映像信号データのライン数の 1.6 倍）とする。これにより、解像度の変換率は 1.6 となり、 $N_{in} = 256 / 1.6 = 160$ となる。

【0043】

先ず、カウンタ 20 は、入力される映像信号データの垂直同期信号に対応する信号 VS1 でリセットされ、その後、入力される映像信号データの 160 ライン分の水平同期信号 HS1 が経過するまで、出力すべき映像信号データの画素周期に同期する出力クロック CK2 を計数する。このときのカウンタ 20 の計数値は、『 $H_{indot} * 160$ 』として、演算部 22 に供給される (S2)。

【0044】

演算部 22 では、演算式『 $H_{indot} * 160 - H_{outdot} * 256$ 』が 256 以下の正の整数値となるような『 H_{outdot} 』を求めるため、上記演算式に『 H_{outdot} 』として所定値を代入する。なお、『 H_{outdot} 』の初期値は予め定められた値であることとする (S4)。

【0045】

演算部 22 では、『 $H_{indot} * 160 - H_{outdot} * 256$ 』を演算して、入出力される映像信号データの経過期間の差を『 $Diffdata$ 』として求める (S6)。

【0046】

演算部 22 では、『 $Diffdata$ 』が 256 以下の正の整数値であるかどうかを判別する (S8)。

【0047】

演算部 22 は、『 $Diffdata$ 』が 256 以下の正の整数値ではないものと判別すると (S8:NO)、『 $Diffdata$ 』が 256 より大きい正の整数値の場合は『 H_{outdot} 』を +1 して上記のステップ S4 以降を再度実行し、『 $Diffdata$ 』が負の整数値の場合は『 H_{outdot} 』を -1 して

上記のステップS4以降を再度実行する。そして、上記のステップS4乃至S8が適宜実行されると、『H i n d o t * 1 6 0』が『H o u t d o t * 2 5 6』に比べて最大256画素の経過期間だけ大となる条件を満足する『H o u t d o t』が、出力される映像信号データの水平方向の基準画素数として決定する。

【0048】

一方、演算部22は、『D i f f d a t a』が256以下の正の整数値であるものと判別すると（S8：YES）、このときの『H o u t d o t』が出力される映像信号データの水平方向の基準画素数として決定する。そして、演算部22から得られる『H o u t d o t』は、基準画素数として演算出力部18に供給される。また、演算部22から得られる『D i f f d a t a』は、比較部26に供給される（S10）。なお、上記の基準画素数は、入力される映像信号データの垂直帰線期間で決定され、次フィールドで出力すべき映像信号データに対して使用される。

【0049】

比較部26では、次フィールドの入力映像信号データにおいて、ラインカウンタ24の計数値が演算部22から得られる『D i f f d a t a』以下であるかどうかを判別する（S12）。

【0050】

比較部26は、ラインカウンタ24の計数値が『D i f f d a t a』以下であるものと判別すると（S12：YES）、出力される映像信号データのラインカウンタ24の計数値と等しいラインの画素数を『基準画素数+1』とするための制御信号を演算出力部18に供給する。これにより、演算出力部18は、出力される映像信号データのラインカウンタ24の計数値と等しいラインの画素数を『基準画素数+1』とする（S14）。

【0051】

一方、比較部26は、ラインカウンタ24の計数値が『D i f f d a t a』以下ではないものと判別すると（S12：NO）、出力される映像信号データのラインカウンタ24の計数値と等しいラインの画素数を『基準画素数のまま』とするための制御信号を演算出力部18に供給する。これにより、演算出力部18は

、出力される映像信号データのラインカウンタ 24 の計数值と等しいラインの画素数を『基準画素数のまま』とする (S16)。

【0052】

例えば、『Diffdata』が100の場合は、出力される映像信号データの256ラインを単位として、当該256ラインの最初の100ラインを『基準画素数+1』とし、且つ、残りの156ラインを『基準画素数のまま』とすることで、ラインメモリ2、4、6の書き込みと読み出しの逆転を防止するための制御を行うこととなる。

【0053】

図4において、直線は、ラインメモリ2、4、6への書き込みタイミングを示し、折線は、ラインメモリ2、4、6からの読み出しタイミングを示している。出力される映像信号データの水平方向の画素数は、『Diffdata』を境として、前半では『基準画素数+1』となり、後半では『基準画素数のまま』となる。即ち、ラインメモリ2、4、6の読み出し時間は、前半が後半より1画素分だけ長くなる。換言すれば、折線の傾きは、上記前半では直線の傾きより大きくなり、上記後半では直線の傾きより小さくなる。これにより、直線と折線が交わらなくなるので、ラインメモリ2、4、6の書き込みと読み出しの逆転が防止され、出力側の映像信号データを適宜処理することで、連続性を有する画像を得ることが可能となる。

【0054】

以上より、本発明の映像信号処理装置を適用すれば、PLLを使用することなく、ラインメモリ2、4、6の書き込みが読み出しを追い抜いたり、ラインメモリ2、4、6の読み出しが書き込みを追い抜いたりという、ラインメモリ2、4、6の書き込みと読み出しの逆転を確実に防止することが可能となる。なお、本発明の映像信号処理装置は、集積回路またはディスクリート回路の何れで構成することも可能であるが、集積回路とすることで、映像信号処理装置を使用する映像機器の小型化およびコストダウンが可能となる。

【0055】

===その他の実施の形態===

以上、一実施形態に基づき本発明に係る映像信号処理装置について説明したが、上記した発明の実施の形態は、本発明の理解を容易にするためのものであり、本発明を限定するものではない。本発明は、その趣旨を逸脱することなく、変更、改良され得るとともに、本発明にはその等価物が含まれることはもちろんである。

【0 0 5 6】

《基準画素数の変更》

本実施形態では、出力される映像信号データの水平方向の画素数は、ラインカウンタ 2 4 の計数値に応じて『基準画素数 + 1』に変更されるが、これに限定されるものではない。例えば、出力される映像信号データの水平方向の画素数が『+ 2 以上』または『- 1 以下』の幅で基準画素数から変更されるように、演算部 2 2、カウンタ 2 4、比較部 2 6 を制御することとしてもよい。

【0 0 5 7】

《ラインメモリ数》

本実施形態では、3 個（最小限）のラインメモリを使用するが、これに限定されるものではない。つまり、4 個以上のラインメモリを使用することで、ラインメモリの書き込み読み出しタイミングの逆転を更に確実に防止することとしてもよい。

【0 0 5 8】

《解像度の変換率》

本実施形態では、映像信号データの解像度の変換率は 1. 6 であるが、1 以上または 1 未満の他の変換率を適用することも可能である。

【0 0 5 9】

【発明の効果】

本発明によれば、映像信号データの解像度変換を行うとき、複数のラインメモリの書き込みと読み出しの逆転が防止され、画面上での画像の乱れを効果的に防止することが可能となる。

【図面の簡単な説明】

【図 1】

本発明の映像信号処理装置の全体構成を示すブロック図である。

【図 2】

本発明の映像信号処理装置における複数のラインメモリの書き込みと読み出しの関係を説明するためのタイムチャートである。

【図 3】

本発明の映像信号処理装置における複数のラインメモリの書き込みと読み出しの逆転防止を説明するためのフローチャートである。

【図 4】

本発明の映像信号処理装置における複数のラインメモリの書き込みと読み出しの逆転防止を理解するための図である。

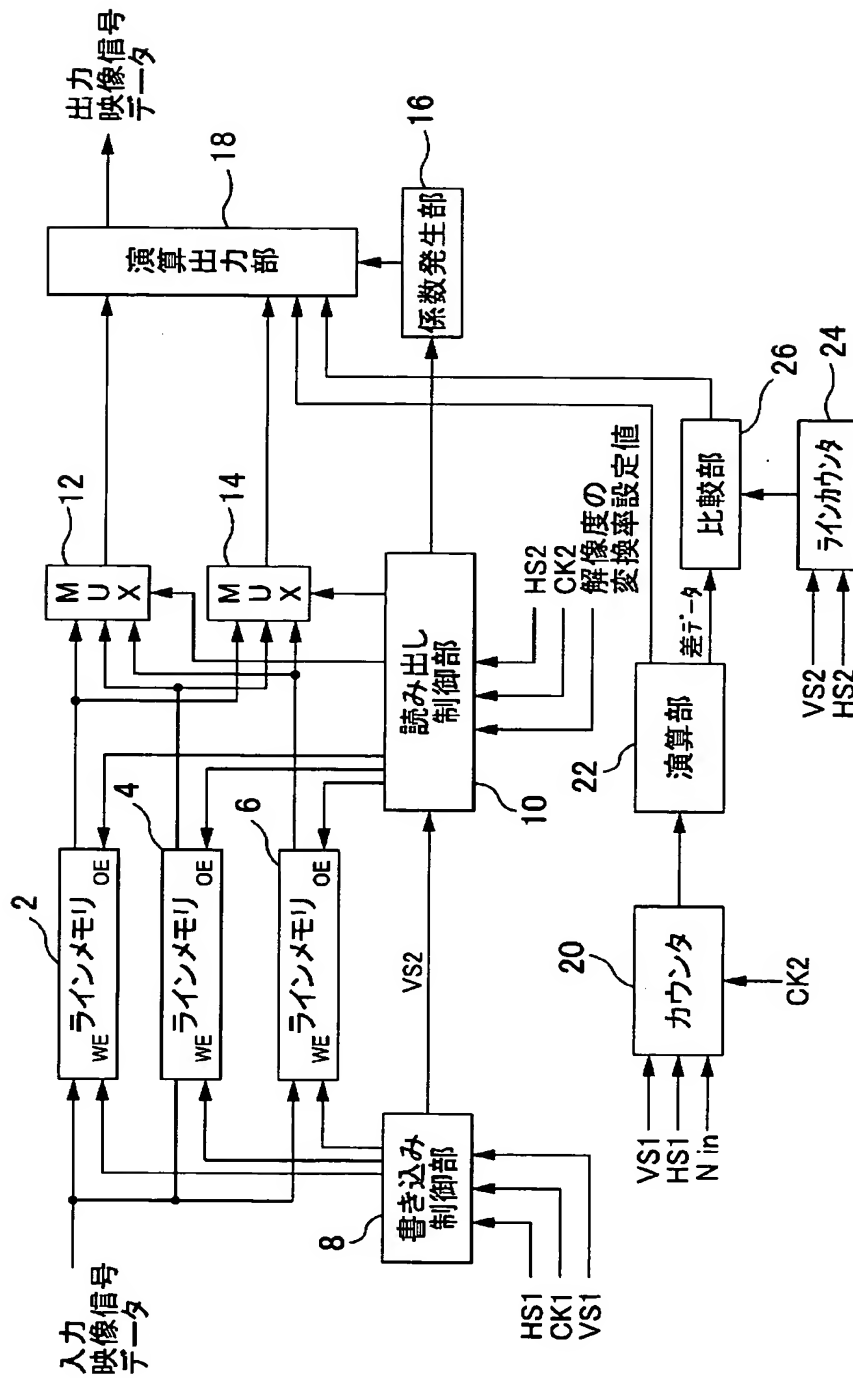
【符号の説明】

- 2、4、6 ラインメモリ
- 8 書き込み制御部
- 10 読み出し制御部
- 12、14 マルチプレクサ
- 16 係数発生部
- 18 演算出力部
- 20 カウンタ
- 22 演算部
- 24 ラインカウンタ
- 26 比較部

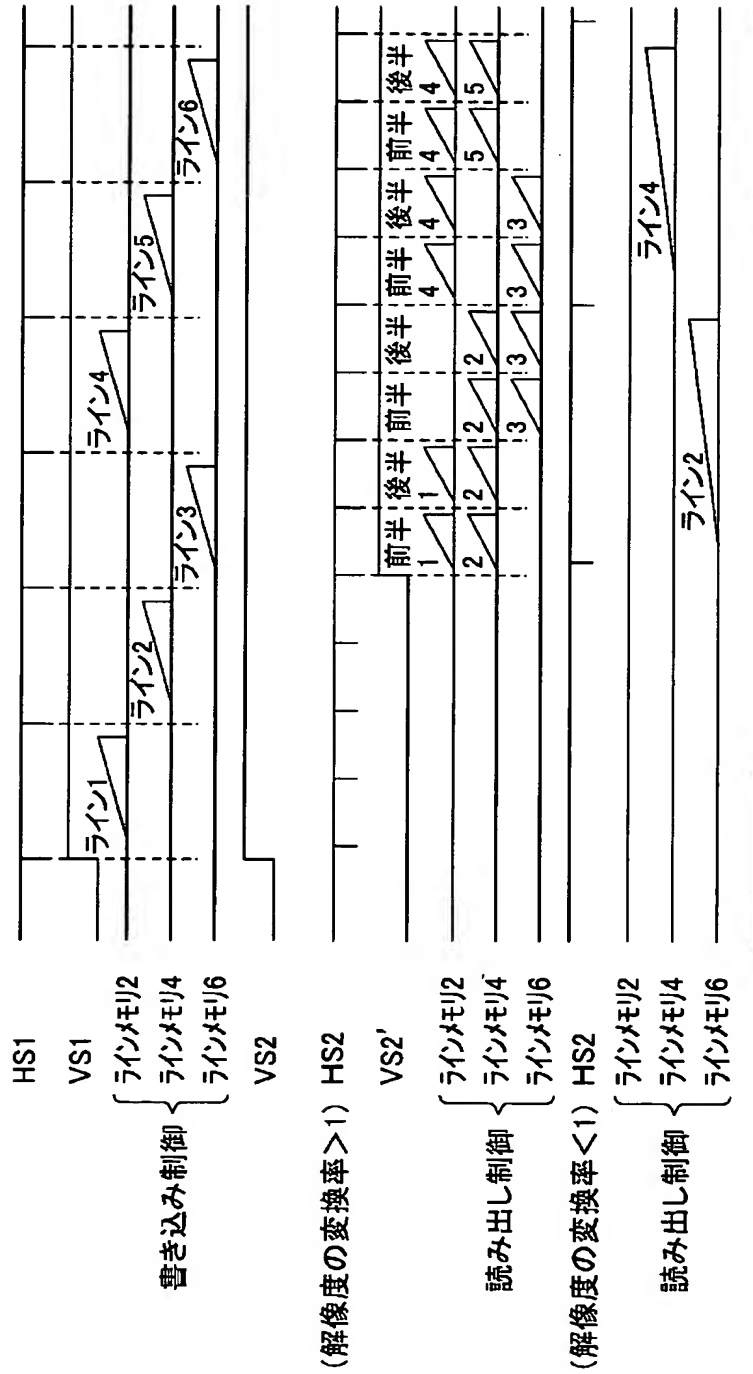
【書類名】

図面

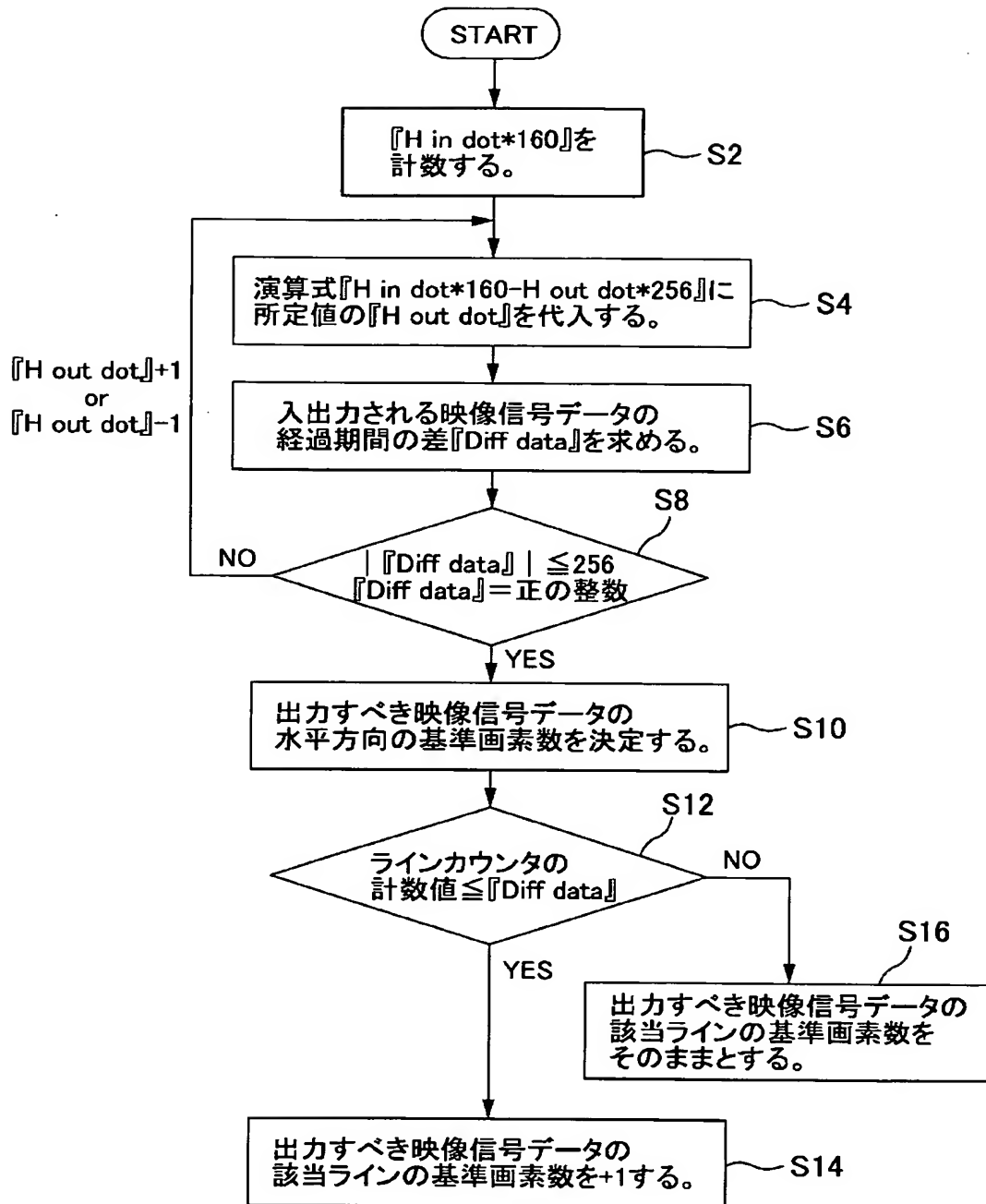
【図 1】



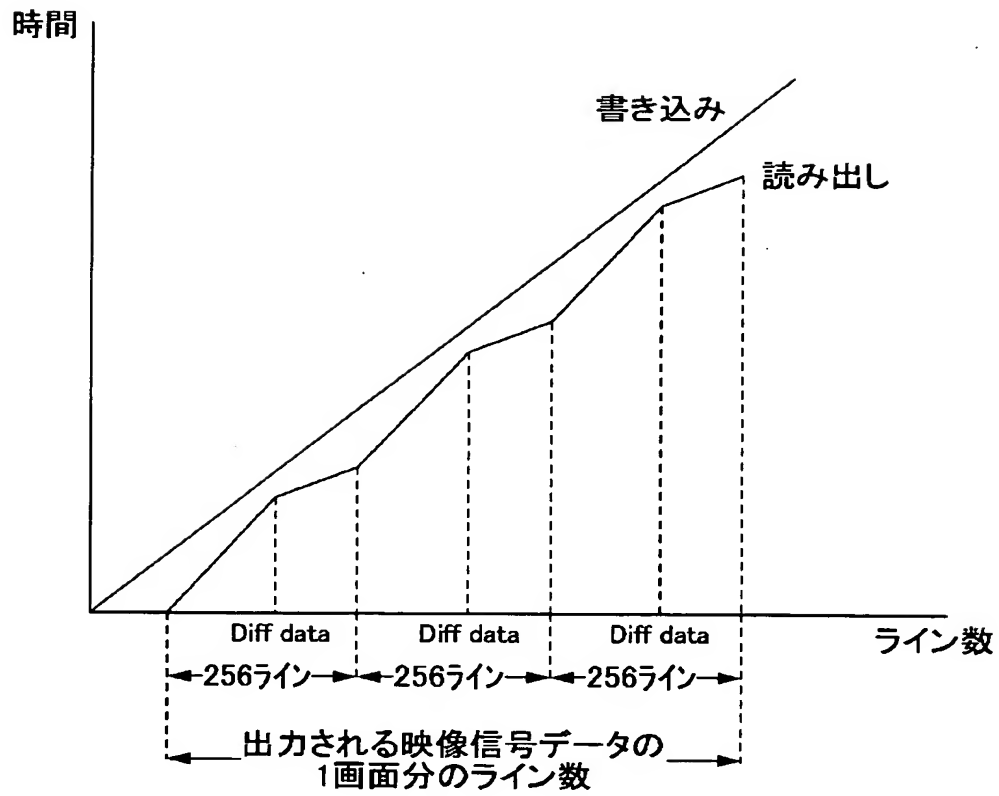
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 ラインメモリの書き込みと読み出しの逆転を防止する。

【解決手段】 入力される映像信号データをライン単位で順次書き込むための複数のラインメモリと、前記複数のラインメモリへの映像信号データの書き込みタイミング、および、前記複数のラインメモリからの映像信号データの読み出しタイミングを制御するタイミング制御手段と、前記複数のラインメモリから読み出された映像信号データを演算処理することによって、水平方向の画素数および垂直方向のライン数で定まる解像度が異なる映像信号データを出力する演算出力手段と、を有する映像信号処理装置において、映像信号データの解像度の変換率に応じて、前記演算出力手段から得られる映像信号データの所定ラインの画素数を可変とするライン制御手段を、備えたことを特徴とする映像信号処理装置。

【選択図】 図 1

特願 2 0 0 2 - 2 5 3 9 5 6

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 1 8 8 9]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

大阪府守口市京阪本通 2 丁目 1 8 番地

氏 名

三洋電機株式会社

2. 変更年月日

1 9 9 3 年 1 0 月 2 0 日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名

三洋電機株式会社